

3/5/1

DIALOG(R) File 351: Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

012414693 **Image available**
WPI Acc No: 1999-220801/199919
XRAM Acc No: C99-064789
XRPX Acc No: N99-163638

Wiring connection structure in semiconductor device - has reaction film comprising aluminium and titanium, whose film thickness is predetermined percentage of wiring slot width

Patent Assignee: TOSHIBA KK (TOKE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11054611	A	19990226	JP 97204408	A	19970730	199919 B

Priority Applications (No Type Date): JP 97204408 A 19970730

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11054611	A	11	H01L-021/768	

Abstract (Basic): JP 11054611 A

NOVELTY - A Ti film (18) is provided along the sides of a connection hole (16) and wiring slots (17a-17c) are provided on Si substrate (11). Al film (19) is provided on the film (18), such that it fills the connection hole and wiring slots. The films (18,19) react to form an Al₃Ti film (20), whose film thickness is 5% less than the width of wiring slot. DETAILED DESCRIPTION - AN INDEPENDENT CLAIM is included for semiconductor device manufacturing method.

USE - In semiconductor device.

ADVANTAGE - As titanium film and Al₃Ti film which serve as EM diffusion barrier do not exist in base of connection hole, deterioration of EM resistance is prevented. Hence reliable connection structure is offered. DESCRIPTION OF DRAWING(S) - The figure illustrates the sectional view of manufacturing process of semiconductor device during its final stages. (11) Silicon substrate; (16) Connection hole; (17a-17c) Wiring slots; (18) Ti film; (19) Al film; (20) Al₃Ti film.

Dwg. 4/6

Title Terms: WIRE; CONNECT; STRUCTURE; SEMICONDUCTOR; DEVICE; REACT; FILM; COMPRISE; ALUMINIUM; TITANIUM; FILM; THICK; PREDETERMINED; PERCENTAGE; WIRE; SLOT; WIDTH

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/768

File Segment: CPI; EPI

TY9904-PT 8/8

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

8(8)

特開平11-54611

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.⁸

H 0 1 L 21/768

識別記号

F I

H 0 1 L 21/90

B

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願平9-204408

(22) 出願日 平成9年(1997) 7月30日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 和田 純一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 早坂 伸夫

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 金子 尚史

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

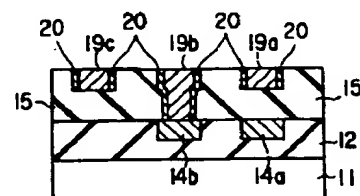
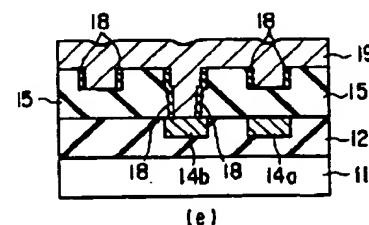
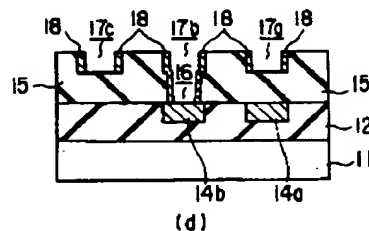
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 A1膜の凝集を防止するために、A1膜の下地にTi膜を用いた場合におけるデュアルダマシン配線のEM耐性劣化および配線抵抗の増加を防止すること。

【解決手段】 A1膜19を2ステップA1リフローにより形成するに先立って、接続孔16および配線溝17の側面には、A1膜の凝集を防止するためにTi膜18は形成するが、接続孔16および配線溝17の底面には形成しない。これにより、A1膜19の成膜工程において、接続孔16の底面には、EM障壁層として働き、EM耐性劣化の原因となるA1: Ti膜20は形成されず、また、配線溝17の底面には、第2 A1配線19a~19cの体積を減少させ、配線抵抗の増加の原因となるA1: Ti膜20は形成されない。



【特許請求の範囲】

【請求項 1】被接続体を有する半導体基板上に形成され、接続孔および配線溝を有し、かつこの配線溝が前記接続孔を介して前記被接続体に繋がった絶縁膜と、前記接続孔および前記配線溝の内部に形成され、かつ前記接続孔および前記配線溝の内部を充填しない厚さの第 1 の導電膜と、

前記接続孔および前記配線溝の内部に形成され、かつ前記第 1 の導電膜を介して前記接続孔および前記配線溝の内部を充填する厚さの第 2 の導電膜とを具備してなり、前記接続孔の側面には、前記第 1 の導電膜、前記第 1 の導電膜と前記第 2 の導電膜との反応膜、またはこれらの両方が存在し、前記接続孔の底面には、前記第 1 の導電膜および前記反応膜が存在せず、

かつ前記配線溝の底面において、前記第 1 の導電膜の膜厚、または前記第 1 の導電膜と前記反応膜とからなる膜の膜厚が、前記配線溝の幅の 5 % 未満であることを特徴とする半導体装置。

【請求項 2】被接続体を有する半導体基板上に絶縁膜を形成する工程と、

この絶縁膜に前記被接続体に達する深さの接続孔を形成する工程と、

この接続孔の底面および側面を覆い、かつ前記接続孔の内部を充填しない厚さの第 1 の導電膜を形成する工程と、

この第 1 の導電膜を指向性エッチングし、前記接続孔の底面を覆う前記第 1 の導電膜を除去するとともに、前記接続孔の側面を覆う前記第 1 の導電膜の膜厚を増加させる工程と、

前記接続孔を含む領域上に第 2 の導電膜を形成するとともに、熱処理により前記第 2 の導電膜を流動化させ、前記接続孔の内部を前記第 2 の導電膜で充填する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 3】被接続体を有する半導体基板上に絶縁膜を形成する工程と、

この絶縁膜に前記被接続体に繋がる接続孔、およびこの接続孔を介して前記被接続体に繋がる配線溝を形成する工程と、

これらの接続孔および配線溝のそれぞれの底面および側面を覆い、かつ前記接続孔および前記配線溝の内部を充填しない厚さの第 1 の導電膜を形成する工程と、

この第 1 の導電膜を指向性エッチングし、前記接続孔および配線溝の底面を覆う前記第 1 の導電膜の膜厚を減少させるとともに、前記接続孔および配線溝の側面を覆う前記第 1 の導電膜の膜厚を増加させる工程と、

前記接続孔および前記配線溝を含む領域上に第 2 の導電膜を形成するとともに、熱処理により前記第 2 の導電膜を流動化させ、前記接続孔および前記配線溝の内部を前記第 2 の導電膜で充填する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 4】被接続体を有する半導体基板上に絶縁膜を形成する工程と、

この絶縁膜に前記被接続体に繋がる接続孔、およびこの接続孔を介して前記被接続体に繋がる配線溝を形成する工程と、

これらの接続孔および配線溝のそれぞれの底面および側面を覆い、かつ前記接続孔および前記配線溝の内部を充填しない厚さの第 1 の導電膜を形成する工程と、

10 この第 1 の導電膜を指向性エッチングし、前記接続孔および配線溝の底面を覆う前記第 1 の導電膜の膜厚を前記配線溝の幅の 5 % 未満まで減少させるとともに、前記接続孔および配線溝の側面を覆う前記第 1 の導電膜の膜厚を増加させる工程と、

前記接続孔および前記配線溝を含む領域上に第 2 の導電膜を形成するとともに、熱処理により前記第 2 の導電膜を流動化させ、前記接続孔および前記配線溝の内部を前記第 2 の導電膜で充填する工程とを含むことを特徴とする半導体装置の製造方法。

20 【請求項 5】被接続体を有する半導体基板上に絶縁膜を形成する工程と、

この絶縁膜に前記被接続体に達する深さの接続孔を形成する工程と、

前記接続孔の側面を覆い、かつ前記接続孔の内部を充填しない厚さの第 1 の導電膜をバイアススパッタ法を用いて形成する工程と、

前記接続孔を含む領域上に第 2 の導電膜を形成するとともに、熱処理により前記第 2 の導電膜を流動化させ、前記接続孔の内部を前記第 2 の導電膜で充填する工程とを含むことを特徴とする半導体装置の製造方法。

30 【請求項 6】被接続体を有する半導体基板上に絶縁膜を形成する工程と、

この絶縁膜に前記被接続体に繋がる接続孔、およびこの接続孔を介して前記被接続体に繋がる配線溝を形成する工程と、

これらの接続孔および配線溝の側面を覆い、かつ接続孔および配線溝の内部を充填しない厚さの第 1 の導電膜をバイアススパッタ法を用いて形成する工程と、

40 前記接続孔および前記配線溝を含む領域上に第 2 の導電膜を形成するとともに、熱処理により前記第 2 の導電膜を流動化させ、前記接続孔および前記配線溝の内部を前記第 2 の導電膜で充填する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 7】被接続体を有する半導体基板上に絶縁膜を形成する工程と、

前記絶縁膜に前記被接続体に繋がる接続孔、およびこの接続孔を介して前記被接続体に繋がる配線溝を形成する工程と、

50 これらの接続孔および配線溝の側面を覆い、かつ前記接続孔の底面の膜厚が前記配線溝の幅の 5 % 未満の厚さの第 1 の導電膜をバイアススパッタ法を用いて形成する工

程と、

前記接続孔および前記配線溝を含む領域上に第2の導電膜を形成するとともに、熱処理により前記第2の導電膜を流動化させ、前記接続孔および前記配線溝の内部を前記第2の導電膜で充填する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項8】前記第2の導電膜を無加熱で形成した後、改めて第2の導電膜を形成するとともに、この第2の導電膜および無加熱で形成した前記第2の導電膜を熱処理により流動化させることを特徴とする請求項2ないし請求項7のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、接続孔および配線溝が2種類以上の導電膜で埋め込まれた構造を有する半導体装置およびその製造方法に関する。また、本発明は、接続孔が2種類以上の導電膜で埋め込まれた構造を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】従来より、半導体装置にはA1配線が多く用いられ、最近ではA1を主成分としたA1合金（以下、A1およびA1合金を総称してA1という）を材料に用いたA1配線が主に用いられている。

【0003】特に、下層材料との反応を抑制するためのバリア膜や、フォトリソグラフィ工程での光の乱反射を抑制するための反射防止膜などの膜上にA1膜を積層し、これらの積層膜をRIEによりエッチングして形成した積層構造のA1配線が多く用いられている。

【0004】また、LSIの集積度の増加とともに、A1配線の多層化が必要となり、上下のA1配線を接続するプラグの形成技術が必須となってきた。従来のプラグ形成技術の1つとして、段差被覆性の良いW（タングステン）-CVD技術がある。図5に、W-CVD技術を用いて形成した従来の多層A1配線の断面図を示す。

【0005】図中、71は素子構造が形成されたSi基板、72は絶縁膜、73a、73bは絶縁膜72に形成されたコンタクトホール（不図示）を介して上記素子構造に接続された第1A1配線、74は層間絶縁膜、75は層間絶縁膜74に形成された接続孔（ビアホール）を介して第1A1配線73bに接続されたWプラグ、76bはWプラグ75を介して第1配線73bに接続された第2A1配線、76a、76cは他の第2A1配線、77は絶縁膜を示している。

【0006】W-CVD技術には、「全面堆積」、「選択堆積」の2種類がある。「全面堆積」は、接続孔を含む基板全面にW膜を堆積する方法である。一方、「選択堆積」は、接続孔の底面だけにW膜を選択的に堆積する方法である。

【0007】両者は異なる熱条件で実現できるが、「選

択堆積」の場合、1工程で接続孔の内部をW膜により充填できるのに対し、「全面堆積」の場合、後工程として接続孔の外部のW膜を除去するエッチバック工程やCMP工程が必要になる。

【0008】ところで、前述したW-CVD技術を用いて形成したWプラグには、抵抗が高いという問題と、EM（エレクトロマイグレーション）耐性に乏しいという問題がある。

【0009】EMはA1配線に電流が流れた場合、電子の衝突によりA1原子が移動する現象である。WはA1に比べEMを起こしにくい材料である。そのため、上下のA1配線をWプラグで接続すると、WプラグがEM拡散障壁として働き、A1原子流の上流側ではA1蓄積が起こり、下流側ではA1空乏が起こる。この種のA1蓄積、A1空乏はそれぞれヒコック、ボイドの発生の原因となり、ひいては配線間短絡や配線断線へつながる。

【0010】また、「全面堆積」の場合、接続孔外部のW膜を後で除去する必要があることから、上述した抵抗やEM耐性の問題の他に、工程数が増加するという問題がある。

【0011】一方、「選択堆積」の場合、接続孔外部のW膜の除去は本来不要であるが、実際には、選択性の劣化が生じる場合が多く、接続孔外部にもW膜が形成される場合が多い。すなわち、「選択堆積」の場合も、接続孔外部のW膜を後で除去する必要があり、工程数が増加するという問題があるのが現状である。

【0012】ところで、他のプラグ形成技術として、Wより抵抗値の低いA1を用いてプラグを形成するA1リフロー技術がある。これは、A1膜の表面拡散による流動特性を利用したもので、基板を加熱するという容易な方法で、接続孔の内部をA1膜で充填できるとともに、このA1膜の上部を配線として利用することで、プロセスの短縮化も図れるというものである。A1リフロー技術は現在までに様々な検討がなされ、A1膜とメレ性の良いTi（チタン）膜などの下地膜を用いる場合が多い。

【0013】また、流動温度を低温化でき、A.R.（アスペクト比＝接続孔深さ／接続孔開口径）の高い接続孔の充填も期待できるA1リフロー技術として、無加熱でA1膜をスパッタ形成した後に、加熱しながらA1膜をスパッタ形成するという2ステップA1リフロー技術が知られており、主流化しつつある。

【0014】さらに、低圧-長距離スパッタ、コリメーションスパッタ、HDP（高密度プラズマ）スパッタなどの指向性の高いスパッタ技術と組み合わせたA1リフロー技術も数多く提案されている。

【0015】A1リフロー技術では、A1膜をスパッタにより形成するため、A1膜の段差被覆性は元来低い。このため、接続孔の底部のA1膜の膜厚は薄い。その結果、流動化のための加熱時にA1の凝集が起こり、接続

孔の内部にボイドを発生する。この問題を解決するために、前述したように、Ti膜のようなAl膜とヌレ性の良い下地膜を用いてAlの凝集を抑制している。

【0016】しかし、Ti膜をスパッタ形成した場合、接続孔の開口部にTi膜のオーバーハングが生じるとともに、Ti膜の表面に凹凸が生じる。この凹凸はTiの結晶成長の結晶面依存性に起因する。

【0017】このようなオーバーハングや、表面の凹凸はAlの付着を妨げ、リフロー特性を劣化させる。しかも、Ti膜の成膜方法として指向性スパッタ法を用いても、接続孔の側面には十分な膜厚を有するTi膜を形成できないのが現状である。

【0018】また、TiはAlと反応するため、接続孔の底面には、抵抗の高いAl:Ti膜が形成される。このAl:Ti膜は、Wプラグと同様に、EM拡散障壁として働くので、EM耐性が劣化するという問題が生じる。

【0019】また、最近では、ダマシン構造やデュアルダマシン構造の配線へのAlリフロー技術の適用が検討されている。図6に、Alリフロー技術を用いて形成した従来のデュアルダマシン構造の配線(DD配線)の断面図を示す。

【0020】図中、81は素子構造が形成されたSi基板、82は絶縁膜、83a、83bは絶縁膜82の表面の配線溝の内部に埋め込み形成され、かつ絶縁膜82に形成されたコンタクトホール(不図示)を介して上記素子構造に接続した第1Al配線、84は層間絶縁膜、85は層間絶縁膜84に形成された接続孔(ビアホール)を介して第1Al配線83bに接続したAlプラグ、87bは層間絶縁膜84の表面の配線溝内に形成され、かつAlプラグ85と接続した第2Al配線、87a、87cは層間絶縁膜84の表面の配線溝内に形成された他の第2Al配線、88は絶縁膜を示している。

【0021】DD配線は、絶縁膜84に接続孔および配線溝をあらかじめ形成しておき、その接続孔および配線溝の内部を1回の工程で同時にAlプラグ85および第2Al配線87a~87cとなるAl膜で充填し、外部の余剰なAl膜をCMPで除去して、Alプラグ85およびAl配線87a~87cを同時に形成することで得られ、プロセスの短縮化やコストの削減化を図れる。

【0022】しかし、Al膜の下地膜にTi膜を用い、Alリフロー技術によりAl-DD配線を形成する場合には、以下のような問題がある。この方法では、接続孔および配線溝を形成した後、全面にTi膜を形成し、配線溝の側面および底面をTi膜で覆う。

【0023】このため、その後のAlリフロー工程で、配線溝の側面および底面にAl:Ti膜86が形成され、第2Al配線87a~87c配線の実効的な体積が減少する。Al:Ti膜86は抵抗が高いため、第2Al配線87a~87c配線の抵抗は増加することにな

る。

【0024】また、Al:Ti膜86は接続孔の底面にも形成され、この底面に形成されたAl:Ti膜86はEM拡散障壁として働く。したがって、W-CVD技術の場合と同様に、EM耐性が劣化するという問題もある。

【0025】

【発明が解決しようとする課題】上述の如く、従来より種々のプラグ形成技術が提案され、中でもAlリフロー技術は、DD配線の形成に検討されているものである。しかし、Al膜の凝集を防止するために、Al膜とヌレ性の良いTi膜を下地として用い、Alリフロー技術によりAl-DD配線を形成する場合、配線溝および接続孔のそれぞれの側面および底部にAl:Ti膜が形成され、これにより配線抵抗が増加したり、EM耐性が劣化するという問題があった。

【0026】本発明は、上記事情を考慮してなされたもので、その目的とするところは、接続孔、または接続孔および配線溝が形成された絶縁膜に対して、信頼性の高い接続構造を実現できる半導体装置およびその製造方法を提供することにある。

【0027】

【課題を解決するための手段】

【構成】上記目的を達成するために、本発明に係る半導体装置(請求項1)は、被接続体を有する半導体基板上に形成され、接続孔および配線溝を有し、かつこの配線溝が前記接続孔を介して前記被接続体に繋がった絶縁膜と、前記接続孔および前記配線溝の内部に形成され、かつ前記接続孔および前記配線溝の内部を充填しない厚さの第1の導電膜と、前記接続孔および前記配線溝の内部に形成され、かつ前記第1の導電膜を介して前記接続孔および前記配線溝の内部を充填する厚さの第2の導電膜とを備え、前記接続孔の側面には、前記第1の導電膜、前記第1の導電膜と前記第2の導電膜との反応膜、またはこれらの両方が存在し、前記接続孔の底面には、前記第1の導電膜および前記反応膜が存在せず、かつ前記配線溝の底面において、前記第1の導電膜の膜厚、または前記第1の導電膜と前記反応膜とからなる膜の膜厚が、前記配線溝の幅の5%未満であることを特徴とするを備えたことを特徴とする。

【0028】ここで、前記配線溝の底面には、前記第1の導電膜および前記反応膜が存在しないことが好ましい。また、本発明に係る半導体装置の製造方法(請求項2)は、被接続体を有する半導体基板上に絶縁膜を形成する工程と、この絶縁膜に前記被接続体に達する深さの接続孔を形成する工程と、この接続孔の底面および側面を覆い、かつ前記接続孔の内部を充填しない厚さの第1の導電膜を形成する工程と、この第1の導電膜を指向性エッチングし、前記接続孔の底面を覆う前記第1の導電膜を除去するとともに、前記接続孔の側面を覆う前記第

1の導電膜の膜厚を増加させる工程と、前記接続孔を含む領域上に第2の導電膜を形成するとともに、熱処理により前記第2の導電膜を流動化させ、前記接続孔の内部を前記第2の導電膜で充填する工程とを有することを特徴とする。

【0029】ここで、余分な第2の導電膜は、CMPまたはニッチバックにより除去することが好ましい（以下の他の発明においても同様）。また、接続孔は、例えばビアホール、コンタクトホールである。

【0030】また、本発明に係る他の半導体装置の製造方法（請求項3）は、被接続体を有する半導体基板上に絶縁膜を形成する工程と、この絶縁膜に前記被接続体に達する深さの接続孔、およびこの接続孔を介して前記被接続体に繋がる配線溝を形成する工程と、これらの接続孔および配線溝のそれぞれの底面および側面を覆い、かつ前記接続孔および前記配線溝の内部を充填しない厚さの第1の導電膜を形成する工程と、この第1の導電膜を指向性エッチングし、前記接続孔および配線溝の底面を覆う前記第1の導電膜の膜厚を減少させるとともに、前記接続孔および配線溝の側面を覆う前記第1の導電膜の膜厚を増加させる工程と、前記接続孔および前記配線溝を含む領域上に第2の導電膜を形成するとともに、熱処理により前記第2の導電膜を流動化させ、前記接続孔および前記配線溝の内部を前記第2の導電膜で充填する工程とを有することを特徴とする。

【0031】また、本発明に係る他の半導体装置の製造方法（請求項4）は、被接続体を有する半導体基板上に絶縁膜を形成する工程と、この絶縁膜に前記被接続体に繋がる接続孔、およびこの接続孔を介して前記被接続体に繋がる配線溝を形成する工程と、これらの接続孔および配線溝のそれぞれの底面および側面を覆い、かつ前記接続孔および前記配線溝の内部を充填しない厚さの第1の導電膜を形成する工程と、この第1の導電膜を指向性エッチングし、前記接続孔および配線溝の底面を覆う前記第1の導電膜の膜厚を前記配線溝の幅の5%未満まで減少させるとともに、前記接続孔および配線溝の側面を覆う前記第1の導電膜の膜厚を増加させる工程と、前記接続孔および前記配線溝を含む領域上に第2の導電膜を形成するとともに、熱処理により前記第2の導電膜を流動化させ、前記接続孔および前記配線溝の内部を前記第2の導電膜で充填する工程とを有することを特徴とする。

【0032】ここで、接続孔および配線溝の底面には第1の導電膜が残らないようにすることが好ましい。また、本発明に係る他の半導体装置の製造方法（請求項5）は、被接続体を有する半導体基板上に絶縁膜を形成する工程と、この絶縁膜に前記被接続体に達する深さの接続孔を形成する工程と、前記接続孔の側面を覆い、かつ前記接続孔の内部を充填しない厚さの第1の導電膜をバイアススパッタ法を用いて形成する工程と、前記接続

孔を含む領域上に第2の導電膜を形成するとともに、熱処理により前記第2の導電膜を流動化させ、前記接続孔の内部を前記第2の導電膜で充填する工程とを有することを特徴とする。

【0033】ここで、接続孔は、例えばビアホール、コンタクトホールなどである。また、本発明に係る他の半導体装置の製造方法（請求項6）は、被接続体を有する半導体基板上に絶縁膜を形成する工程と、この絶縁膜に前記被接続体に繋がる接続孔、およびこの接続孔を介して前記被接続体に繋がる配線溝を形成する工程と、これらの接続孔および配線溝の側面を覆い、かつ接続孔および配線溝の内部を充填しない厚さの第1の導電膜をバイアススパッタ法を用いて形成する工程と、前記接続孔および前記配線溝を含む領域上に第2の導電膜を形成するとともに、熱処理により前記第2の導電膜を流動化させ、前記接続孔および前記配線溝の内部を前記第2の導電膜で充填する工程とを有することを特徴とする。

【0034】また、本発明に係る他の半導体装置の製造方法（請求項7）は、被接続体を有する半導体基板上に絶縁膜を形成する工程と、前記絶縁膜に前記被接続体に繋がる接続孔、およびこの接続孔を介して前記被接続体に繋がる配線溝を形成する工程と、これらの接続孔および配線溝の側面を覆い、かつ前記接続孔の底面の膜厚が前記配線溝の幅の5%未満の厚さの第1の導電膜をバイアススパッタ法を用いて形成する工程と、前記接続孔および前記配線溝を含む領域上に第2の導電膜を形成するとともに、熱処理により前記第2の導電膜を流動化させ、前記接続孔および前記配線溝の内部を前記第2の導電膜で充填する工程とを含むことを特徴とする。

【0035】ここで、接続孔の底面には、第1の導電膜が形成されないことが好ましい。また、本発明に係る他の半導体装置の製造方法（請求項8）は、上記半導体装置の製造方法（請求項2～7）において、前記第2の導電膜を無加熱で形成した後、改めて第2の導電膜を形成するとともに、この第2の導電膜および無加熱で形成した前記第2の導電膜を熱処理により流動化させることを特徴とする。

【0036】本発明のより具体的構成は、以下の通りである。

（1）上記発明（請求項1～7）において、第1の導電膜は第2の導電膜と互換性の良い膜である。具体的には、例えば、第1の導電膜はTi膜、第2の導電膜はAl膜である。

（2）上記発明（請求項2～8）において、第2の導電膜を形成する前に接続孔や配線溝内の自然酸化膜を除去しておく。

（3）上記発明（請求項1、3、4、6、7）において、配線溝内の第2の導電膜（配線）が、接続孔内の第2の導電膜（配線）を介して被接続体に接続したデュアルダマシン配線構造になっている。

【0037】〔作用〕本発明の半導体装置（請求項1）によれば、接続孔の底面に、EM拡散障壁として働く第1の導電膜および反応膜が存在しないので、EM耐性の劣化を防止でき、信頼性の高い接続構造を実現できる。

【0038】また、配線溝内における第2の導電膜の膜厚、または第2の導電膜と反応膜とからなる膜の膜厚が、配線溝の幅の5%未満であることから、これらの膜が存在することによる第2の導電膜（配線）の抵抗（配線抵抗）の上昇率を、実用上問題がない10%未満に抑制できる。

【0039】さらに5%未満であることから、反応膜は接続孔の底面で島状に形成され、第2の導電膜の一部は反応膜を介さずに被接続体と直接接続することになるので、EM耐性の劣化も抑制できる。なお、このような効果は5%以上の場合でも得られる。

【0040】このような構成の半導体装置は、本発明の半導体装置の製造方法（請求項3、4、6、7）により容易に形成できる。すなわち、本発明の半導体装置の製造方法（請求項3、4、8）によれば、指向性エッチングにより、接続孔の底部の第1の導電膜を除去してから、第2の導電膜を形成するため、接続孔の底面に、EM拡散障壁として働く第1の導電膜や、第1の導電膜と第2の導電膜との反応膜が形成されることによるEM耐性劣化を防止できる。また、第1の導電膜として、第2の導電膜と互れ性の良いものを用いれば、接続孔のアスペクト比が高くてその内部を均一に埋め込むことができる。

【0041】このような作用効果は、本発明の半導体装置の製造方法（請求項2）においても得られる。ただし、この場合、得られる接続構造自身の構成は従来と同じである。

【0042】また、本発明の半導体装置の製造方法（請求項6、7、8）によれば、第1の導電膜の成膜方法として、成膜とエッチングが同時に進行するバイアスパッタ法を用いることにより、接続孔の底面に第1の導電膜が形成されないようにすることができ、これにより、接続孔の底面にEM拡散障壁として働く第1の導電膜や、反応膜が形成されることによるEM耐性劣化を防止できる。また、第1の導電膜として、第2の導電膜と互れ性の良いものを用いれば、接続孔のアスペクト比が高くてその内部を均一に埋め込むことができる。

【0043】このような作用効果は、本発明の半導体装置の製造方法（請求項5）においても得られる。ただし、この場合、得られる接続構造自身の構成は従来と同じである。

【0044】本発明の半導体装置の製造方法（請求項8）によれば、第2の導電膜の成膜方法として、いわゆる2ステップリフコー法を用いているので、アスペクト比の高い接続孔や配線溝の内部を第2の導電膜で埋め込むことが可能となる。

【0045】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

（第1の実施形態）図1、図2は、本発明の第1の実施形態に係る半導体装置の製造方法を示す工程断面図である。

【0046】まず、図1（a）に示すように、素子構造（不図示）が形成されたSi基板1上に絶縁膜2を形成した後、この絶縁膜2に上記素子構造に達するコンタクトホール（不図示）を形成する。

【0047】次に図1（b）に示すように、第1Al配線3a、3b（被接続体）となるAl膜を全面に堆積した後、このAl膜をフォトリソグラフィおよびRIE（反応性イオンエッチング）を用いて加工し、上記コンタクトホールを介して上記素子構造に接続する第1Al配線3a、3bを形成する。

【0048】次に図1（c）に示すように、全面に層間絶縁膜4を堆積した後、この層間絶縁膜4に第1Al配線3bに達する接続孔（ビアホール）5を形成する。次に図1（d）に示すように、例えば厚さ50nmのTi膜6を指向性スパッタ法を用いて形成する。この結果、接続孔5の底面および側面は、Ti膜6で被覆されることになる。Ti膜6を形成するための指向性スパッタ法としては、例えば低圧・長距離スパッタ法、コリメーションスパッタ法、高密度プラズマスパッタ法などがあげられる。

【0049】この後、Si基板1を逆スパッタ装置のチャンバ（逆スパッタ室）内に收容する。ここで、Ti膜6を形成した成膜室から逆スパッタ室へのSi基板1の搬送は、真空連続的に行なうことが好ましい。

【0050】次に図2（e）に示すように、Si基板1にRF電力を印加し、逆スパッタ室内にエッチング種としてのArガスを導入し、接続孔5の底面におけるTi膜6の膜厚が0になるまで、Ti膜6を逆スパッタ法によりエッチング（指向性エッチング）する。この結果、第1Al配線3bの表面が露出し、接続孔5の側面がAl膜と互れ性の良いTi膜6で覆われた構造が得られる。

【0051】次に図2（f）に示すように、Si基板1を大気に晒すことなく、2ステップAlリフコー法を用いて全面にAl膜7を形成する。具体的には、Si基板1を大気に晒すことなく例えば厚さ200nmのAl膜7を指向性スパッタ法を用い無加熱で形成し、続いてSi基板1を大気に晒すことなく例えば厚さ400nmのAl膜7をスパッタ法を用いて例えば400～500℃の温度であらためて形成する。

【0052】後半のAl成膜工程では、無加熱で形成したAl膜7および加熱して形成したAl膜7の流動化が起こりながら、Al膜7の成膜が進み、その結果、接続孔の内部はAl膜7で充填されることになる。

【0053】しかも、接続孔の側面がA1膜7とヌレ性の良いTi膜6で覆われていることにより、A1膜7の凝集を防止でき、これによりアスペクト比3程度までの接続孔であれば、その内部をA1膜7で均一に充填することができる。

【0054】ここで、後半のA1成膜工程は加熱を伴うため、接続孔5の側面のTi膜6とA1膜7とが反応し、接続孔5の側面にA1:Ti膜8が形成される。しかし、接続孔5の底面にはTi膜6が存在しないため、接続孔5の底面にはA1:Ti膜8は形成されない。

【0055】なお、Ti膜6は酸化され易いので、表面の自然酸化膜を除去した後に、2ステップA1リフロー法を用いてA1膜7を形成することが望ましい。また、A1膜7を形成するための指向性スパッタ法は、Ti膜6を形成するためのそれと同様なものがあげられる。

【0056】最後に、図2(g)に示すように、フォトリソグラフィとRIEを用いてA1膜7を加工し、第2A1配線7a~7cを形成し、多層配線構造が完成する。逆スパッタ法は、基板自己バイアスによって、基板表面に対して垂直にArイオン(Ar⁺)等のイオンを被エッチング膜に引き込んで、被エッチング膜を物理スパッタする方法である。

【0057】このため、逆スパッタ法では、開口面や接続孔の底面のエッチング速度に比べて、接続孔の側面のエッチング速度が遅くなり、エッチング形状に指向性が現れる。また、逆スパッタ法によれば、Ti膜6のオーバーハングがArイオンによってエッチングされ、このエッチングされたTi膜6が接続孔5の側面に付着し、接続孔5の側面のTi膜6の膜厚を増加させることができる。

【0058】したがって、本実施形態のように、図2(e)の工程で、Ti膜6を逆スパッタ法によりエッチングすれば、接続孔5の側面をTi膜6で覆った状態を保ったまま、接続孔5の底面のTi膜6をエッチング除去できる。

【0059】また、逆スパッタ法により、Ti膜6の表面の凹凸をエッチングでき、その表面を滑らかにできる。これにより、図2(f)のスパッタ法を用いたA1成膜工程において、シャドウイング効果が抑制され、A1膜7の段差被覆性が向上し、埋め込み特性が向上する。また、Ti膜6のオーバーハングがないことから、より高いアスペクト比の接続孔5の埋め込みが可能となる。

【0060】また、2ステップA1リフロー工程は、接続孔5の側面がA1とヌレ性の良いTi膜6で覆われた状態で行なわれるので、A1膜7の凝集を招くことなく、接続孔5の内部をA1膜7で埋め込むことができる。したがって、接続孔5の内部にはボイドは生じない。

【0061】このとき、接続孔5の底面にはTi膜6が

存在しないため、図2(f)に示すように、接続孔5の底面にはA1:Ti膜8は形成されない。すなわち、第1A1配線3bの表面にA1:Ti膜8は形成されない。

【0062】したがって、本実施形態によれば、第1A1配線3bと第2A1配線7bとの間に、EM拡散障壁として働くA1:Ti膜8が形成されるのを防止でき、信頼性の高い多層配線構造を実現できる。

【0063】なお、本実施形態では、逆スパッタ法を用いた場合について説明したが、RIE法を用いてTi膜6のエッチングを行なってもよい。RIE法も逆スパッタ法と同様に指向性を有するエッチング方法であり、接続孔5の側壁のTi膜6を消滅させずに、接続孔5の底面のTi膜6を除去できる。

【0064】また、本実施形態では、接続孔5がヴィアホール、被接続体が第1A1配線3bの場合について説明したが、本発明は、接続孔5がコンタクトホール、被接続体がSi基板1の表面に形成された不純物拡散層の場合でも有効である。

(第2の実施形態) 図3、図4は、本発明の第2の実施形態に係る半導体装置の製造方法を示す工程断面図である。

【0065】まず、図3(a)に示すように、素子構造(不図示)が形成されたSi基板11上に絶縁膜12を形成した後、フォトリソグラフィとRIEを用いて絶縁膜12の表面に上記素子構造に繋がる配線溝13a、13bを形成する。

【0066】次に図3(b)に示すように、第1A1配線14a、14b(被接続体)となるA1膜を全面に堆積した後、エッチバックまたはCMPを用いて配線溝13a、13bの外部のA1膜に除去し、配線溝13a、13bの内部に第1A1配線14a、14bを埋め込み形成する。このとき、表面がなるべく平坦になることが好ましい。そのためには、CMPを用いるほうが好ましい。

【0067】次に図3(c)に示すように、全面に層間絶縁膜15を形成した後、この層間絶縁膜15をエッチングして、接続孔16および配線溝17a~17cを形成する。

【0068】配線溝17bは接続孔16に繋がり、接続孔16は第1A1配線14aに繋がるものである。また、接続孔16、配線溝17a~17cの形成順序はどちらが先でも良い。

【0069】この後、Si基板11をバイアススパッタ装置のチャンバ(バイアススパッタ室)内に收容する。ここで、接続孔16および配線溝17a~17cを形成したエッチング室からバイアススパッタ室へのSi基板11の搬送は、真空連続的に行なうことが好ましい。

【0070】次に図4(d)に示すように、Ti膜18をバイアススパッタ法を用いて形成する。具体的には、

13

Si基板11にRF電力を印加し、バイアススパッタ室内のDCスパッタカソード(Tiターゲット)にDC電力を印加し、バイアススパッタ室内にエッチング種としてのArガスを導入し、接続孔16および配線溝17a~17c内にTi膜18を形成する。

【0071】このとき、少なくとも配線溝17a~17cの底面において、Ti膜18のエッチング速度がTi膜18の成膜速度以上になるように、RF電力とDC電力を調整する。

【0072】その結果、同図(d)に示すように、接続孔16および配線溝17a~17cの側面にはTi膜18は形成されるが、接続孔16および配線溝17a~17cの底面にはTi膜18は形成されない。

【0073】なお、接続孔16および配線溝17a~17cの底面には、本実施形態のようにTi膜18が存在しないことが最も好ましい。しかし、Ti膜18、またはTi膜18と後工程で形成される可能性のあるAl₁:Ti膜20とからなる膜(Ti膜18/Al₁:Ti膜20)の最終的な膜厚が、配線溝17a~17cの幅の5%未満であれば、実用上問題はない。

【0074】すなわち、この程度の膜厚であれば、Ti膜18、またはTi膜18/Al₁:Ti膜20によりAl配線の実効体積が低下することによる、配線抵抗の上昇率を実用上問題がない10%未満に抑制できる。

【0075】さらに、Al₁:Ti膜20の膜厚が配線溝17a~17cの幅の5%未満の場合、Al₁:Ti膜20は接続孔16の底面で島状に形成され、後工程で形成する第2Al配線19bの一部は、Al₁:Ti膜20を介さずに第1Al配線14bに直接する接続することになるので、EM耐性の劣化も抑制できる。なお、このような効果は5%以上の場合でも得られる。

【0076】次に図4(e)に示すように、2ステップAlリフロー法を用いて全面にAl膜19を形成する。具体的には、Si基板11を大気に晒すことなく、例えば厚さ300nmのAl膜19を指向性スパッタ法を用いて無加熱で形成し、続いてSi基板11を大気に晒すことなく、例えば厚さ400nmのAl膜19をスパッタ法を用いて例えば400~500℃の温度であらためて形成する。

【0077】この後半のAl成膜工程では、無加熱で形成したAl膜19および加熱して形成したAl膜19の流動化が起りながら、Al膜19の成膜が進み、その結果、接続孔16の内部はAl膜19で充填されることになる。

【0078】しかも、接続孔16および配線溝17の側面がAl膜19とヌレ性の良いTi膜18で覆われていることにより、Al膜19の凝集を防止でき、これによりアスペクト比3程度までの接続孔16であれば、その内部をAl膜18で均一に充填することができる。

【0079】ここで、後半のAl成膜工程は加熱を伴う

14

ため、接続孔16および配線溝17a~17cの側面のTi膜18とAl膜19とが反応し、これら16、17a~17cの側面にAl₁:Ti膜20が形成される。しかし、接続孔16および配線溝17a~17cの底面にはTi膜18が存在しないため、これら16、17a~17cの底面にはAl₁:Ti膜20は形成されない。

【0080】なお、条件によっては、接続孔16の側面には、Al₁:Ti膜20が形成されず、Ti膜18ままであったり、あるいはTi膜18の一部しか反応しないことにより、接続孔16の側面にはTi膜18およびAl₁:Ti膜20が存在する場合もある。

【0081】また、配線溝17a~17cの底面にTi膜18が存在する場合、底面にAl₁:Ti膜20が形成されるが、上述したように配線溝17a~17cの幅の5%未満であれば、実用上問題はない。

【0082】また、Ti膜18は酸化され易いので、表面の自然酸化膜を除去した後に、2ステップAlリフロー法を用いてAl膜19を形成することが望ましい。また、Al膜19を形成するための指向性スパッタ法としては、例えば低圧一長距離スパッタ法、コリメーションスパッタ法、高密度プラズマスパッタ法などがあげられる。

【0083】最後に、図4(f)に示すように、フォトリソグラフィとRIEを用いてAl膜19を加工し、Al接続プラグ19b、第2Al配線19a~19cを形成し、DD配線が完成する。

【0084】バイアススパッタ法は、スパッタ成膜とイオンによるエッチングが同時に起こる成膜方法であり、これらの速度はそれぞれ独立に制御することができる。すなわち、スパッタ成膜速度はDCスパッタカソードに印加するDC電力により制御でき、エッチング速度はSi基板11に印加するRF電力により制御できる。

【0085】ここで、イオンによるエッチングは、イオンが基板自己バイアスによって膜中に引き込まれることで起こるもので、このエッチングは、第1の実施形態で説明した逆スパッタ法の場合と同様に指向性がある。

【0086】そのため、図4(d)の工程では、接続孔16の側面のエッチング速度は、接続孔16の底面、配線溝17a~17cの底面および開口面(配線溝17a~17cを形成しないところの層間絶縁膜15の上面)のそれよりも遅くなる。

【0087】したがって、本実施形態のように、配線溝17a~17cの底面におけるTi膜18のスパッタ速度とエッチング速度が釣り合うようにDC電力とRF電力を調整し、見かけ上の成膜速度を0としても、接続孔16の側面はエッチングの影響が少ないため、接続孔16の側面にTi膜18を形成することができる。

【0088】さらに詳しく説明すると、スパッタ成膜は主にTiターゲットから飛来した中性Ti粒子の基板付着により進み、基板自己バイアスの影響は受けない。し

たがって、段差底部ほど（溝の底面に近いところほど）成膜速度は遅く、開口面ほど（溝の底面から離れたところほど）成膜速度は速くなる。

【0089】このため、配線溝17a～17cの底面の成膜速度が見かけ上0の場合、それよりも深い接続孔16の底面のスパッタ成膜はより遅くなるため、接続孔16の底面にはTi膜18は当然に形成されない。

【0090】したがって、本実施形態のように、図4(d)の工程で、Ti膜18の成膜方法としてバイアススパッタ法を用いれば、接続孔16および配線溝17a～17cの底面にTi膜18を形成することなく、接続孔16および配線溝17a～17cの側面にTi膜18を形成することができる。

【0091】このように接続孔16の底面にTi膜18が形成されなければ、第1Al配線14bと第2Al配線19bとの間に、EM拡散障壁として働くAl；Ti膜20が形成されるのを防止でき、信頼性の高いデュアルダマシン配線構造を実現できる。

【0092】一方、配線溝17a～17cの底面にTi膜18が形成されなければ、第2Al配線19a～19cの底面に、実効体積の低減の原因となるAl；Ti膜が形成されるのを防止でき、低抵抗のデュアルダマシン配線構造を実現できる。

【0093】また、2ステップAlリフロー工程は、接続孔16および配線溝17a～17cの側面がAlとヌレ性の良いTi膜18で覆われた状態で行なわれるので、Al膜19の凝集を招くことなく、接続孔16および配線溝17a～17cの内部をAl膜19で埋め込みことができる。したがって、接続孔16および配線溝17a～17cの内部にはボイドは生じない。

【0094】また、バイアススパッタ法の場合、Ti膜18の成膜とエッチングが同時に進行し、Ti膜18のオーバーハングの形成とそのエッチングが同時に起こり、Ti膜18のオーバーハングの形成は見かけ上起こらない。したがって、Ti粒子の進行がオーバーハングに妨げられることはない。

【0095】さらに、エッチングされたTi膜18のオーバーハングのTiが接続孔16および配線溝17a～17cの側面に付着するため、これらの側面におけるTi膜18の膜厚を増加させる効果が得られる。

【0096】このようにバイアススパッタ法には、Ti膜18のオーバーハングが形成されることと、この形成されたTi膜18のオーバーハングがエッチングされ見かけ上、Ti膜18のオーバーハングが起こらないことと、エッチングされたTi膜18のオーバーハングのTiが側面に付着することとの相乗効果により、接続孔16および配線溝17a～17cの側面へのTiの付着確率を十分に高くする効果がある。

【0097】また、Ti膜18のオーバーハングがないことから、より高いアスペクト比の接続孔の埋め込みが

可能となる。また、Ti膜18の成膜とエッチングが同時に進行し、Ti膜18の表面の凹凸がエッチングされて表面が滑らかになることと、Ti膜18のオーバーハングがないことから、図4(e)のスパッタ法を用いたAl成膜工程において、シャドウイング効果が抑制され、Al膜19の段差被覆性が向上し、埋め込み特性が向上する。

【0098】ところで、逆スパッタ法やバイアススパッタ法では、チャンバ内の圧力を変化させることによって、アルゴンイオン等のイオンの基板に対する入射角度を変化させることができる。これはチャンバ内のアルゴン原子への衝突確率が変化するため、高圧ほど入射角度は浅く、低圧ほど入射角度は深くなる。

【0099】このことから、バイアススパッタ法を用いたTi膜18の成膜工程の前半は低圧で行ない、後半は高圧で行なうことが考えられる。このようにチャンバ内の圧力を制御すると、成膜工程の前半では接続孔16の側面のTi膜18を厚くできるとともに、接続孔16の底面および配線溝17a～17cの底面のTi膜18を薄くでき、成膜工程の後半では配線溝17a～17c側面のTi膜18を薄くできる。この成膜工程の後半で、Ti膜18のスパッタ成膜速度を遅くすれば、より効果的に配線溝17a～17cの側面に付着するTi膜を薄くすることができる。

【0100】このようにすれば、第2Al配線19a～19cの側面および底面にAl；Ti層は形成されず、第2Al配線19a～19cの体積（断面積）を実効的に増加させることができ、配線抵抗をより小さくすることができる。

【0101】なお、本実施形態では、接続孔16がヴィアホール、被接続体が第1Al配線14bの場合について説明したが、本発明は、接続孔16がコンタクトホール、被接続体がSi基板11の表面に形成された不純物拡散層の場合でも有効である。

【0102】なお、本発明は上記実施形態に限定されるものではない。例えば、第1、第2の実施形態では、Alとヌレ性の良い材料としてTiを用いて説明したが、Alとヌレ性の良い他の材料を用いてもよい。Alとヌレ性の良い他の材料としては、例えば、Nb、W、Ta、Mo、Zr、Hf、Ni、Si、TaAl、CuZn、CuAlなどが考えられる。

【0103】また、Al膜の下地膜として、Al膜の凝集を防止する膜と、他の目的の膜（例えば、反応防止膜、反射防止膜）とからなる積層膜を用いても良い。また、第2の実施形態の方法（バイアススパッタ法）で、第1の実施例の接続孔の側壁にTi膜を形成しても良いし、第1の実施形態の方法（逆スパッタ法）で、第2の実施形態の接続孔および配線溝の側壁にTi膜を形成しても良い。この場合も、配線溝の底におけるTi膜などの最終的な膜厚は、配線溝の幅の5%未満であることが

好ましい。

【0104】また、第1の実施形態では逆スパッタ法を、第2の実施形態ではバイアスパッタ法を用いた場合について説明したが、必要に応じて両者を組み合わせて実施しても良い。

【0105】また、第2の実施形態では2層配線の場合について説明したが、本発明は3層以上の多層配線にも適用できる。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0106】

【発明の効果】以上詳述したように本発明（請求項1）によれば、接続孔の底面に、EM拡散障壁として働く第1の導電膜および反応膜が存在しないので、EM耐性の劣化を防止でき、信頼性の高い接続構造を実現できる。

【0107】また、配線溝内における第2の導電膜の膜厚、または第2の導電膜と反応膜とからなる膜の膜厚が、配線溝の幅の5%未満であることから、第2の導電膜の抵抗の上昇率を、実用上問題がない程度に抑制できる。

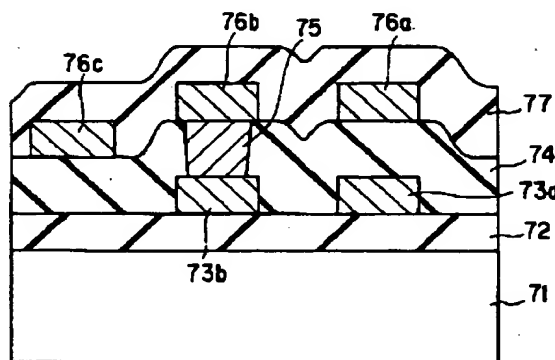
【0108】また、本発明（請求項3、4）によれば、上記の如き接続構造を指向性ニッチングを利用することにより容易に製造できる。また、本発明（請求項6、7）によれば、上記の如き接続構造をバイアスパッタ法を利用することにより容易に製造できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置の前半の製造方法を示す工程断面図

【図2】本発明の第1の実施形態に係る半導体装置の後半の製造方法を示す工程断面図

【図5】



【図3】本発明の第2の実施形態に係る半導体装置の前半の製造方法を示す工程断面図

【図4】本発明の第2の実施形態に係る半導体装置の後半の製造方法を示す工程断面図

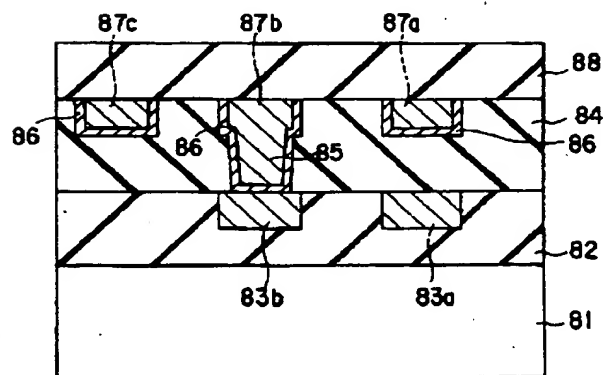
【図5】従来の多層A1配線を示す断面図

【図6】従来のデュアルダマシン構造の配線を示す断面図

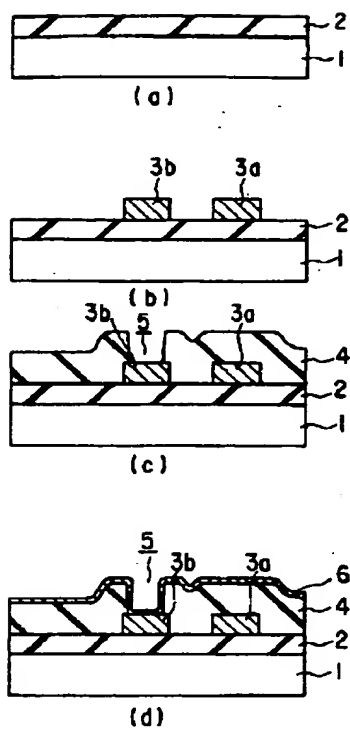
【符号の説明】

- 1...Si基板
- 2...絶縁膜
- 3a, 3b...第1A1配線（被接続体）
- 4...層間絶縁膜
- 5...接続孔
- 6...Ti膜（第1の導電膜）
- 7...Al膜（第2の導電膜）
- 7a~7c...（第2A1配線）
- 8...Al/Ti膜（反応膜）
- 11...Si基板
- 12...絶縁膜
- 13a, 13b...配線溝
- 14a, 14b...第1A1配線（被接続体）
- 15...層間絶縁膜
- 16...接続孔
- 17...配線溝
- 18...Ti膜（第1の導電膜）
- 19...Al膜（第2の導電膜）
- 19a~19c...第2A1配線
- 20...Al/Ti膜（反応膜）

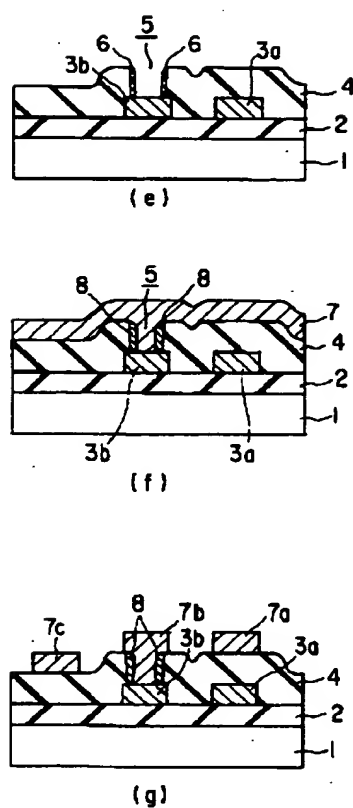
【図6】



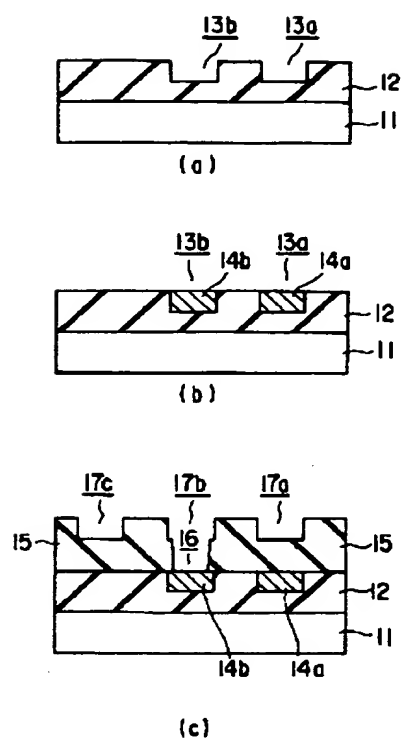
【図 1】



【図 2】



【図 3】



【図 4】

